

PUB-NO: JP404037132A
DOCUMENT-IDENTIFIER: JP 04037132 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: February 7, 1992

INVENTOR-INFORMATION:

NAME

ONISHI, TERUTO

KATO, YOSHIKI

102b-118
103-(245)

COUNTRY

Onishi T. et al.

US-CCL-CURRENT: 438/444; 438/FOR.233
INT-CL (IPC): H01L 21/316; H01L 21/76

ABSTRACT:

PURPOSE: To form an element isolation oxide film design specifications by depositing a 1st oxide film and a 2nd nitride film one after another after etching a 1st nitride film in an element isolation region and then, forming a sidewall consisting of the 2nd nitride film at the pattern side face of the 1st nitride film after performing anisotropic etching in the 2nd nitride film and further, taking the like measures for forming the element isolation oxide film.

CONSTITUTION: In forming an element isolation region through oxidation of a silicon substrate 1, the manufacture of this device requires respective processes, i.e., a process for depositing a 1st nitride film 2 on the silicon substrate 1; a process for depositing a 1st oxide film 3 and a 2nd nitride film 4 one after another on the 1st nitride film 2 after etching the 1st nitride film 2 in the element isolation region; a process for forming a sidewall 4' consisting of the 2nd nitride film 4 at the pattern side face of the 1st nitride film 2 after performing anisotropic etching in the 2nd nitride film 4; a process for forming a 2nd oxide film 5 after performing oxidation by making the 1st and 2nd nitride films 2 and 4' act as masks. In this way, the length of element isolation is not larger than the size of each mask and further, the dispersion of the sidewall is reduced by the 1st oxide film and the element isolation region is formed as designed a mask.

DERWENT-ACC-NO: 1992-093455
DERWENT-WEEK: 199212
COPYRIGHT 2004 DERWENT INFORMATION LTD

TITLE: Semiconductor device mfr. - by accumulating nitride film on silicon
substrate, etching and superimposing 1st oxide film with 2nd nitride film
NoAbstract Dwg 1e-h/3

PRIORITY-DATA: 1990JP-0144058 (June 1, 1990)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
<input type="checkbox"/> JP 04037132 A	February 7, 1992		007	

INT-CL (IPC): H01L 21/31

I23 ANSWER 107 OF 134 CAPLUS

COPYRIGHT 2004 ACS on STN

Full Text

AN

1992:267098

CAPLUS

DN 116:267098

CAPLUS

TI oxidation of silicon substrates for isolation of semiconductor devices

IN Onishi, Teruto; Kato, Yoshiaki

PA Matsushita Electric Industrial Co., Ltd., Japan

SO Jpn. Kokai Tokkyo Koho, 7 pp.

CODEN: JKXXAF

DT Patent

LA Japanese

EAN.CNT 1

PATENT NO. *JKXXAF*

KIND

DATE

APPLICATION NO.

DATE

PI JP 04037132

A2

19920207

JP 1990-144058

19900601

PRAI JP-1990-144058

AB

The process includes: (a) forming a **1st nitride** film on a Si substrate; (b) **etching** the **nitride** film, and successively forming a **1st oxide** and a **2nd nitride** film; (C) anisotropically **etching** the **2nd nitride** film to form a sidewall on the **1st-nitride-film** pattern; and (d) oxidizing the substrate surface with the **1st** and **2nd** nitride films as a **mask** to form a **2nd oxide** film. The method does not cause bird beaks.

⑫ 公開特許公報 (A) 平4-37132

⑬ Int. Cl. 5

H 01 L 21/316
21/76

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月7日

M

9169-4M

7342-4M

H 01 L 21/94

A

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-144058

⑯ 出 願 平2(1990)6月1日

⑰ 発明者 大西 照人 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑰ 発明者 加藤 義明 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑰ 出願人 松下電器産業株式会社 大阪府門真市大字門真1006番地
 ⑰ 代理人 弁理士 森本 義弘

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. シリコン基板の酸化により素子分離領域を形成する工程において、シリコン基板上に第1の窒化膜を堆積する工程と、素子分離領域の前記第1の窒化膜をエッチングした後、前記第1の窒化膜の上に第1の酸化膜と第2の窒化膜を順に堆積する工程と、前記第2の窒化膜を異方性エッチングして前記第1の窒化膜のパターン側面に前記第2の窒化膜でできたサイドウォールを形成する工程と、前記第1、第2の窒化膜をマスクにして酸化を行い、第2の酸化膜を形成する工程と、前記第1、第2の窒化膜をマスクにして前記第2の酸化膜をエッチングする工程と、前記第1、第2の窒化膜の上に第3の酸化膜と第3の窒化膜を順に堆積する工程と、前記第3の窒化膜を異方性エッチングして前記第2の酸化膜のパターン側面に前記第3の窒化膜でできたサイドウォールを形成する工程と、前記第1、第2、第3の窒化膜をマスクにして酸化を行い第4の酸化膜を形成する工程と、を有することを特徴とする半導体装置の製造方法。

2. シリコン基板の酸化により素子分離領域を形成する工程において、シリコン基板上に第1の窒化膜を堆積する工程と、素子分離領域の前記第1の窒化膜をエッチングした後、前

記第1の窒化膜の上に第1の酸化膜と第2の窒化膜を順に堆積する工程と前記第2の窒化膜を異方性エッチングして前記第1の窒化膜のパターン側面に前記第2の窒化膜でできたサイドウォールを形成する工程と、前記第1、第2の窒化膜をマスクにして酸化を行い、第2の酸化膜を形成する工程と、前記第1、第2の窒化膜をマスクにして前記第2の酸化膜をエッチングする工程と、前記第1、第2の窒化膜の上に第3の酸化膜と第3の窒化膜を順に堆積する工程と、前記第3の窒化膜を異方性エッチングして前記第2の酸化膜のパターン側面に前記第3の窒化膜でできたサイドウォールを形成する工程と、前記第1、第2、第3の窒化膜をマスクにして酸化を行い第4の酸化膜を形成する工程と、を有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は半導体装置の製造方法、特にシリコン

基板の酸化により素子分離領域を形成する方法に関するものである。

従来の技術

従来の上記素子分離領域の形成方法を第3図(a)～(e)の半導体装置の断面図にしたがって順に説明する。

まず、第3図(a)に示すシリコン基板21上に酸化膜22を形成する(第3図(b))。続いて窒化膜23を形成し、フォトリソグラフィーの技術を用いてレジストの素子分離パターンを形成し、ドライエッチング技術を用いて窒化膜23だけをエッチングする(第3図(c))。その後レジストを除去して酸化を行い、素子分離用の酸化膜24を形成する。窒化膜23は酸化されにくいため、窒化膜23のない部分が酸化されて第3図(d)に示すような酸化膜24の構造がつくられ、この酸化膜24で素子分離を行う。最後に窒化膜23の除去を行う(第3図(e))。このような素子分離形成法は、LOCOS法とよばれている。

発明が解決しようとする課題

しかし、LOCOS法で素子分離用の酸化を行うと、酸化は等方的に起こるために窒化膜23の下も酸化される。そのときの酸化膜24の入り込みをバーズピークと呼ぶ。このバーズピークにより、素子が微細化していくと設計通りの寸法が得られず、素子特性の悪化またはそれを避けるためにチップサイズの増加という問題が生じてくる。

また、酸化膜24がシリコン基板21の面より上方にでるためにシリコン基板21の表面に凹凸が生じ、その後の配線形成でステップカバレッジの悪化の問題を生じる。

本発明は上記問題を解決するものであり、設計寸法通りの素子分離酸化膜を形成する方法と素子分離酸化膜の平坦化を実施することが可能な半導体装置の製造方法を提供することを目的とするものである。

課題を解決するための手段

上記課題を解決するため本発明の半導体装置の製造方法は、シリコン基板の酸化により素子分離領域を形成する工程に於て、シリコン基板上に第

1の窒化膜を堆積する工程と、素子分離領域の前記第1の窒化膜をエッチングした後、前記第1の窒化膜の上に第1の酸化膜と第2の窒化膜を順に堆積する工程と、前記第2の窒化膜を異方性エッチングして前記第1の窒化膜のパターン側面に前記第2の窒化膜でできたサイドウォールを形成する工程と、前記第1、第2の窒化膜をマスクにして酸化を行い、第2の酸化膜を形成する工程と、を有することを特徴とするものである。

さらに第2の発明の半導体装置の製造方法は、上記第1の発明の工程に、さらに上記第1、第2の窒化膜をマスクにして前記第2の酸化膜をエッチングする工程と、第3の酸化膜と第3の窒化膜を順に堆積する工程と、前記第3の窒化膜を異方性エッチングして第2の酸化膜の側面に第3の窒化膜のサイドウォールを形成する工程と、前記第1、第2、第3の窒化膜をマスクにして酸化を行い第4の酸化膜を形成する工程とを加えたことを特徴とするものである。

作用

上記第1および第2の発明において、第1の窒化膜を形成し、第2の窒化膜によるサイドウォールを形成することにより、素子分離用酸化膜を形成したときにバーズピークができてもサイドウォールにより寸法が短くなってしまい、第1の窒化膜がシリコン基板上に直接形成されているために素子分離長がマスクサイズより大きくなることはなく、さらに、中間の第1の酸化膜が窒化膜のエッチングストップになり膜厚のバラツキ、エッチングの不均一性によるサイドウォールのバラツキが減少しサイドウォール形成が安定し、マスク通りの素子分離領域が形成される。

また第2の発明において、第2の酸化膜形成後にこの酸化膜をエッチングすることにより、素子分離領域のシリコン基板は掘り下げられることから、その後の酸化により素子分離用第4の酸化膜を形成してもこの素子分離酸化膜がシリコン基板面より盛り上ることを防げる。

実施例

以下、本発明の一実施例を図面に基づいて説明

する。

第1図 (a) ~ (b) は第1の発明の一実施例における半導体装置の製造方法を順に示す半導体装置の断面図である。

まず、第1図 (a) に示すシリコン基板1上に減圧CVD法により窒化膜2を約150nm形成し、フォトリソグラフィ技術を用いてレジストパターンを形成し、ドライエッティング技術を用いて窒化膜2だけをエッティングし、その後レジストはアッティングにより除去する(第1図 (b))。その上に減圧CVD法により酸化膜3を約50nm堆積し(第1図 (c))、さらにその上に減圧CVD法により窒化膜4を約200nm堆積し(第1図 (d))、ドライエッティングの異方性エッティングにより窒化膜4をエッティングする。このエッティングにより窒化膜2の開口部に、第1図 (e) に示すように窒化膜4によるサイドウォール4'が形成される。このとき酸化膜3がエッティングストップになるために膜厚のばらつき、エッティングのばらつきがあつても多めにオーバーエッティングを行うことによりばらつ

きを抑えることができる。酸化膜3をウエットエッティングにより除去後(第1図 (f))、窒化膜2、4'をマスクとして酸化を行い、素子分離用の酸化膜5を600nm形成し(第1図 (g))、熱磷酸で窒化膜2、4'を除去すると、第1図 (h) のような酸化膜形状が得られる。

酸化を行うと、酸化は等方的に起こるために窒化膜のサイドウォール4'の下も酸化されるが、窒化膜のサイドウォール4'により寸法が減少しているため、サイドウォール4'の大きさを最適化することによりマスク寸法通りの素子分離領域が形成できる。また、窒化膜2はシリコン基板1に直接堆積しているため窒化膜のストレスにより酸化が窒化膜の下まで伸びることが防げる。しかしこの窒化膜2のストレスのためにシリコン基板1に欠陥が生じやすいが、欠陥の入りやすいサイドウォール4'の下には酸化膜3が形成されているために応力の緩和ができる欠陥が生じることはない。またサイドウォール4'の形状も緩やかに増加しているためにサイドウォール4'の下に形

成される酸化膜3にかかるストレスも減少させることができる。

次に第2の発明の一実施例を、第2図 (a) ~ (d) に示す半導体装置の断面図にしたがって順に説明する。

まず、第2図 (a) に示すシリコン基板11に減圧CVD法により窒化膜12を約150nm形成し、フォトリソグラフィ技術を用いてレジストパターンを形成し、ドライエッティング技術を用いて窒化膜12だけをエッティングし、その後レジストはアッティングにより除去する(第2図 (b))。その上に減圧CVD法により酸化膜13を約50nm堆積し(第2図 (c))、さらにその上に減圧CVD法により窒化膜14を約200nm堆積し(第2図 (d))、ドライエッティングの異方性エッティングにより窒化膜14をエッティングする。このエッティングにより窒化膜12の開口部に第2図 (e) に示すように窒化膜14によるサイドウォール14'が形成される。酸化膜13をウエットエッティングにより除去後(第2図 (f))、窒化膜12、14'をマスクとして酸化を行い、酸化

膜5を約400nm形成し(第2図 (g))、さらに窒化膜12、14'をマスクにして酸化膜15をドライエッティングする(第2図 (h))。次に約50nmの酸化膜16を堆積し、(第2図 (i))、その上に窒化膜17を約200nm堆積する(第2図 (j))。次に異方性エッティングにより窒化膜17だけをエッティングすると第2図 (k) に示すような形状になり、窒化膜17によるサイドウォール17'が形成される。ウエットエッティングにより酸化膜16を除去し(第2図 (l))、素子分離用の酸化を行ふと第2図 (m) のような酸化膜18が形成され、窒化膜12、14'、17'をすべて除去すると第2図 (n) に示す最終形状が得られる。

このように酸化工程が2度入り複雑になるが、第2図 (a) のように酸化膜18をシリコン基板1より上に盛り上がる量を減らすことができる。このことはシリコン基板11の表面の凹凸を減少させることができ、その上に形成する配線の断線を減少させることができる。シリコン基板11を直接エッティングしても同様の効果は得られるがエッティング

の均一性などでまた問題がある。

発明の効果

以上説明したように、第1および第2の発明によれば、セルフアラインでマスクサイズが変更可能で、バーズピークを気にすることなくマスク寸法通りに素子分離ができる、その実用的效果は大きい。さらに、第1と第2の窒化膜の間に酸化膜を形成することで窒化膜のエッティング均一性が向上し、さらに従来用いていた窒化膜とシリコン基板の間の酸化膜を省略することでバーズピークの入り込みを抑えることが可能になり安定して素子分離を形成できその実用的效果は大きい。

さらに第2の発明によれば、第2の酸化膜をエッティングすることでシリコン基板を掘り下げるにより次の酸化での膨らみを減少でき、したがってシリコン基板表面の凹凸を減少させることができることから配線不良を減少させることができ、その実用的效果は大きい。

4. 図面の簡単な説明

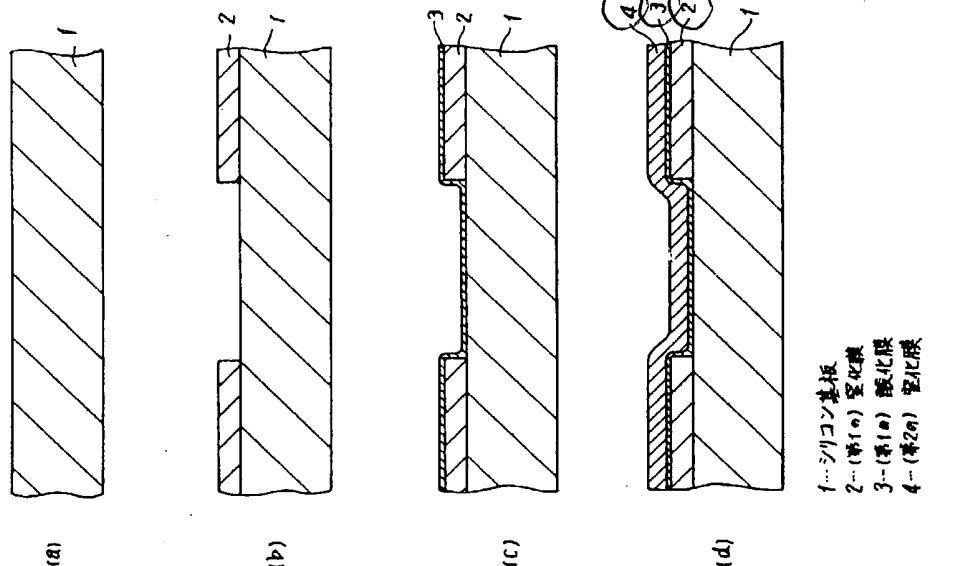
第1図(i)～(b)は第1の発明の一実施例にお

ける半導体装置の製造方法を順に示す半導体装置の断面図、第2図(i)～(ii)は第2の発明の一実施例における半導体装置の製造方法を順に示す半導体装置の断面図、第3図(i)～(e)は従来の半導体装置の製造方法を順に示す半導体装置の断面図である。

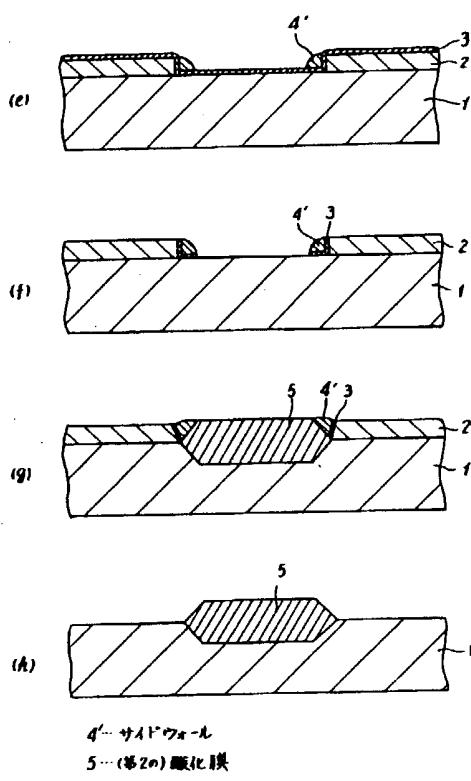
1, 11…シリコン基板、2, 12…(第1の) 窒化膜、3, 13…(第1の) 酸化膜、4, 14…(第2の) 窒化膜、4', 14'…サイドウォール、5, 15…(第2の) 酸化膜、16…(第3の) 酸化膜、17…(第3の) 窒化膜、17'…サイドウォール、18…(第4の) 酸化膜。

代理人 森 本 義 弘

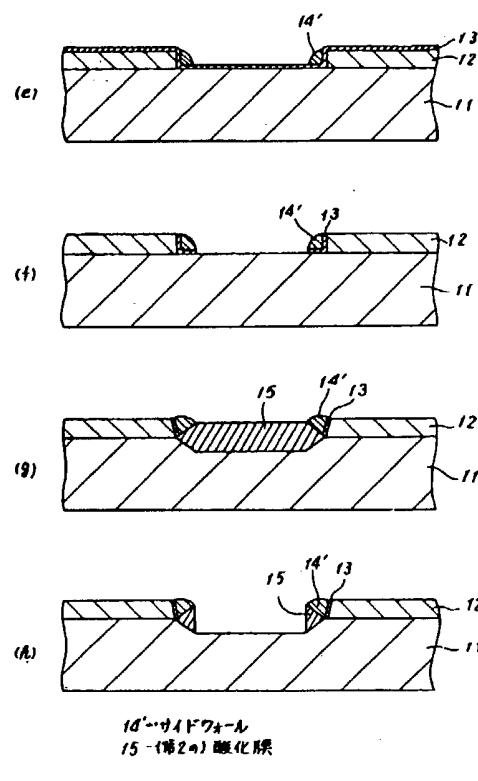
図
1
第



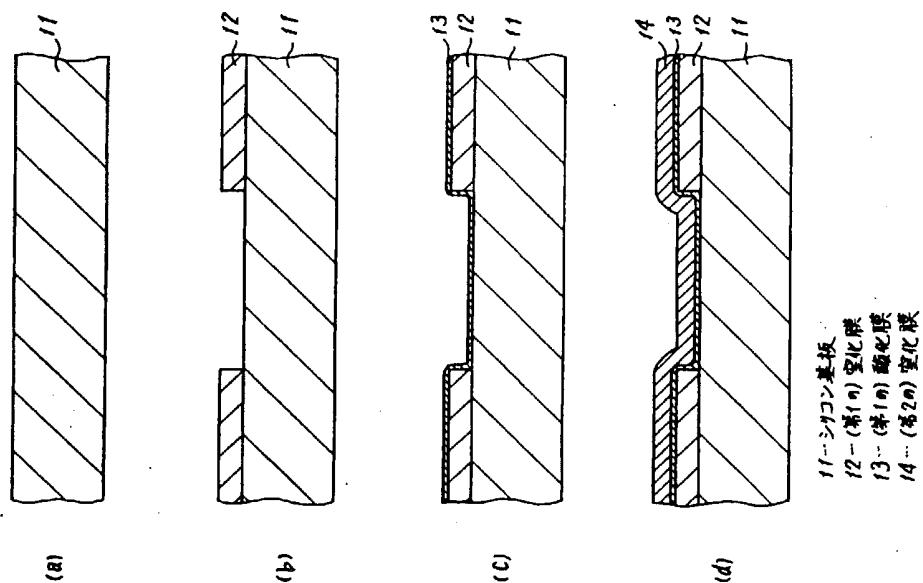
第 1 図 (フブク)



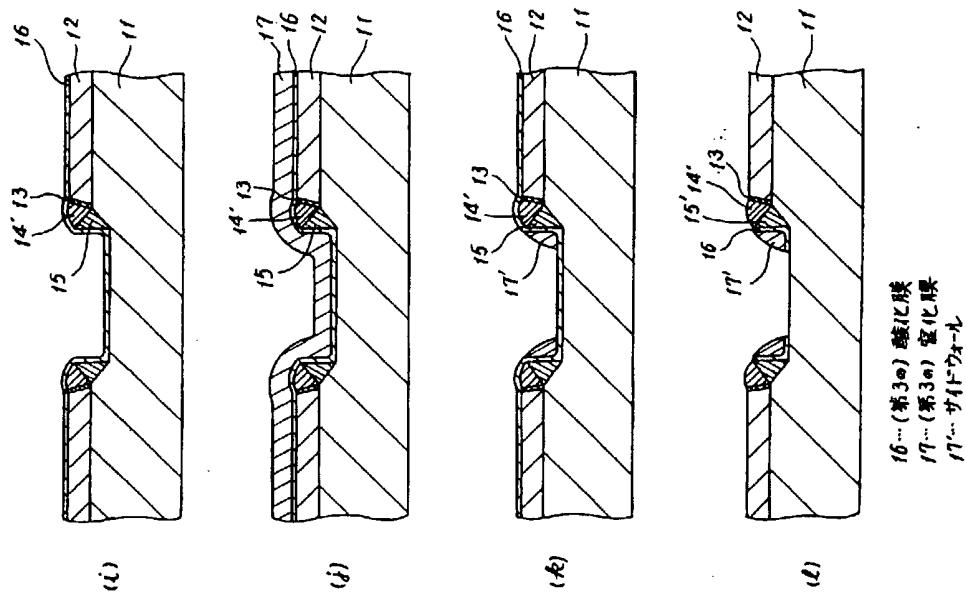
第 2 図 (フブク)



第 2 図

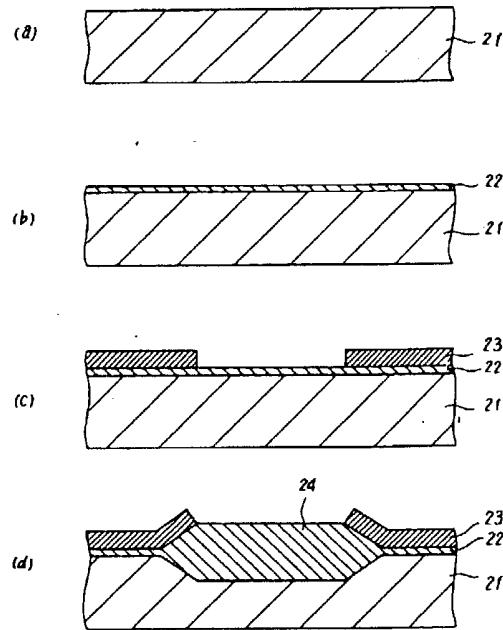
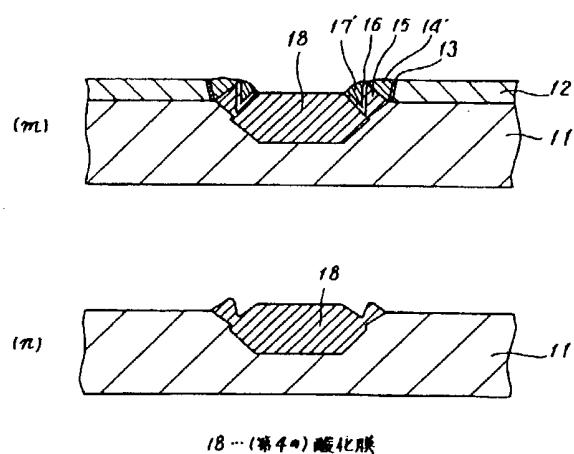


第2図(7段き)



第3図

第2図(7段き)



第3図 (フブキ)

